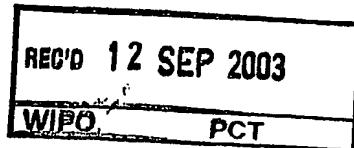


29.07.03

日本国特許庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年 7月30日

出願番号
Application Number: 特願2002-221069

[ST. 10/C]: [JP2002-221069]

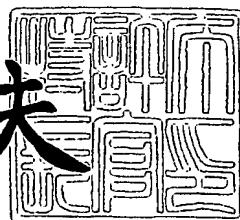
出願人
Applicant(s): ソニー株式会社

Barcode
Scannable Copy

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年 8月28日

今井康夫



特許庁長官
Commissioner,
Japan Patent Office

【書類名】 特許願

【整理番号】 0290202703

【提出日】 平成14年 7月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/312

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 金村 龍一

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100095821

【弁理士】

【氏名又は名称】 大澤 賢

【選任した代理人】

【識別番号】 100095326

【弁理士】

【氏名又は名称】 畑中 芳実

【手数料の表示】

【予納台帳番号】 023766

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0010728

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 有機絶縁膜を含む層間絶縁膜を備えた半導体装置の製造方法において、

相互に異なる 2 種類以上の膜種からなる 3 層以上のエッチングマスク形成層を前記層間絶縁膜上に順次成膜する工程と、

最上層のエッチングマスク形成層をパターニングして最上層マスクを形成し、次いで前記最上層マスクで前記最上層のエッチングマスク形成層の下の次段エッチングマスク形成層をエッチングして次段エッチングマスクを形成し、次いで前記次段エッチングマスクで次々段エッチングマスク形成層をエッチングして次々段エッチングマスクを形成し、順次、上のエッチングマスク形成層で形成したエッチングマスクで前記上のエッチングマスク形成層の下の段のエッチングマスク形成層をエッチングしてエッチングマスクを形成する工程と、

形成したエッチングマスクを使って前記層間絶縁膜をエッチングして、配線溝及び接続孔を形成する工程と

を備え、前記 3 層以上のエッチングマスク形成層のうちの 1 層のエッチングマスク形成層を配線溝パターンのマスク形成層として成膜し、残りの層のうちの 1 層のエッチングマスク形成層を接続孔パターンのマスク形成層として成膜することを特徴とする半導体装置の製造方法。

【請求項 2】 有機絶縁膜を含む層間絶縁膜を備えた半導体装置の製造方法において、

(イ) 半導体基板上に、接続孔を貫通させる絶縁膜として第一の絶縁膜、及び配線層間の絶縁膜として第二の絶縁膜を順次成膜する工程と、

(ロ) 前記第二の絶縁膜上に、第 1 のマスク、第 2 のマスク、及び第 3 のマスクをそれぞれ形成する、第一マスク形成層、第二マスク形成層、及び第三マスク形成層を順次成膜する工程と、

(ハ) 前記第三マスク形成層をパターニングして配線溝パターンを有する第 3 のマスクを形成する工程と、

(二) 前記第3のマスクを含む第二マスク形成層上に接続孔パターンを有するレジストマスクを形成する工程と、

(ホ) 前記レジストマスクを使って前記第3のマスク、前記第二マスク形成層、及び前記第一マスク形成層をエッティングし、更に前記第二の絶縁膜をエッティングして、接続孔を開口する工程と、

(ヘ) 前記第3のマスクを用いて前記第二マスク形成層をエッティングして、配線溝パターンを有する第2のマスクを形成すると共に、前記第一の絶縁膜の途中まで接続孔を開口する工程と、

(ト) 前記第2のマスクを用いて前記第一マスク形成層をエッティングして、配線溝パターンを有する第1のマスクを形成すると共に、前記接続孔の底部に残存する前記第一の絶縁膜をエッティングして接続孔を開口する工程と、

(チ) 前記第1ないしは第2のマスクを用いて前記第二の絶縁膜をエッティングし、前記第二の絶縁膜に配線溝を形成する工程と、

(リ) 少なくとも前記第2及び第3のマスクを除去する工程と
を有することを特徴とする半導体装置の製造方法。

【請求項3】 有機絶縁膜を含む層間絶縁膜を備えた半導体装置の製造方法において、

(イ) 半導体基板上に、接続孔を貫通させる絶縁膜として第一の絶縁膜、及び配線層間の絶縁膜として第二の絶縁膜を順次成膜する工程と、

(ロ) 前記第二の絶縁膜上に、第1のマスク、第2のマスク、及び第3のマスクをそれぞれ形成する、第一マスク形成層、第二マスク形成層、及び第三マスク形成層を順次成膜する工程と、

(ハ) 前記第三マスク形成層上に接続孔パターンを有する第1のレジストマスクを形成する工程と、

(ニ) 前記第1のレジストマスクを用いて、前記第三マスク形成層、前記第二マスク形成層、及び前記第三マスク形成層の途中まで接続孔を開口する工程と、

(ホ) 前記第三マスク形成層上に配線溝パターンを有する第2のレジストマスクを形成し、前記第2のレジストマスクを用いて前記第三マスク形成層をエッティングして前記第3のマスクを形成する工程と、

- (ヘ) 前記第3のマスクを用いて前記第二マスク形成層及び前記第二の絶縁膜をエッティングして接続孔を開口する工程と、
- (ト) 前記第3のマスクを用いて前記第二マスク形成層をエッティングして、配線溝パターンを有する第2のマスクを形成すると共に、前記第一の絶縁膜を途中までエッティングして接続孔を形成する工程と、
- (チ) 前記第2のマスクを用いて前記第一マスク形成層をエッティングして、配線溝パターンを有する第1のマスクを形成すると共に、前記第一の絶縁膜をエッティングして接続孔を開口する工程と、
- (リ) 前記第1ないしは第2のマスクを用いて前記第二の絶縁膜をエッティングして、配線溝を形成する工程と、
- (ヌ) 少なくとも前記第2、及び第3のマスクを除去する工程と
を有することを特徴とした半導体装置の製造方法。

【請求項4】 前記工程(イ)では、前記第一の絶縁膜としてメチルシリセスキオキサン膜を、第二の絶縁膜として有機膜を成膜することを特徴とする請求項2又は3に記載の半導体装置の製造方法。

【請求項5】 前記工程(ロ)では、前記第一、第二、及び第三マスク形成層を光透過性を有する材料で成膜することを特徴とする請求項2又は3に記載の半導体装置の製造方法。

【請求項6】 前記工程(ロ)では、上層のマスク形成層に形成したマスクを用いて反応性イオンエッティング法により下層のマスク形成層を加工出来る材料で、前記第一、第二、及び第三マスク形成層を成膜することを特徴とする請求項2又は3に記載の半導体装置の製造方法。

【請求項7】 前記工程(ロ)では、前記第一マスク形成層としてシリコン酸化膜、前記第二マスク形成層としてシリコン窒化膜、及び前記第三マスク形成層としてシリコン酸化膜をそれぞれ成膜することを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項8】 前記工程(ロ)では、前記第一マスク形成層としてシリコン酸化膜、前記第二マスク形成層としてシリコン窒化膜、及び前記第三マスク形成層として非晶質シリコン膜をそれぞれ成膜することを特徴とする請求項3に記載

の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、低誘電率層間絶縁膜内にデュアルダマシン構造の多層配線構造を有する半導体装置の製造方法に関し、更に詳細には、良好な形状のデュアルダマシン構造の配線構造を備えた半導体装置の製造方法に関するものである。

【0002】

【従来の技術】

半導体装置の微細化、高集積化に伴い、配線の時定数に起因する電気信号の遅れが深刻な問題となっている。そこで、多層配線構造で用いられる導電層には、アルミニウム（Al）系合金の配線に代わり、低電気抵抗の銅（Cu）配線が導入されるようになっている。

Cuは、従来の多層配線構造に使われているAlなどの金属材料とは異なって、ドライエッチングによるパターニングが困難なため、絶縁膜に配線溝を形成し、配線溝にCuを埋め込むことにより配線パターンを形成するダマシン法が一般にCu多層配線構造に適用されている。特に、特願平10-143914号公報などに開示されているデュアルダマシン法は、接続孔と配線溝とを形成した上で、Cu埋め込みを接続孔と配線溝とに同時にを行う方法であって、工程数の削減に有効であることから注目されている。

【0003】

また、高集積半導体装置では、配線容量の増大が半導体装置の動作速度の低下を招くために、低誘電率膜を層間絶縁膜に用いて配線容量の増大を抑制した微細な多層配線が不可欠となっている。

低誘電率層間絶縁膜の材料として、従来から比較的の使用実績のある比誘電率3.5程度のフッ素含有酸化シリコン（FSG）に加えて、ポリアリールエーテル（PAE）に代表される有機シリコン系のポリマーや、ハイドロゲンシルセキオサン（HSQ）、メチルシルセスキオキサン（MSQ）に代表される無機系材料などの比誘電率2.7前後の低誘電率膜が挙げられる。更に、近年では、それら

を多孔質化させて比誘電率を2.2前後とした低誘電率材料の適用も試みられている。

【0004】

デュアルダマシン法を低誘電率層間絶縁膜に適用する場合、以下の技術的な制約を解決することが必要である。

第1には、低誘電率膜の組成がパターニングに用いられるレジストの組成に近いために、レジスト除去プロセスの際に低誘電率膜も損傷を受け易いことが挙げられる。具体的には、レジストマスクを用いてエッチングを行った後のレジスト剥離処理や、処理済みのレジストパターンが製品規格を満たさない場合のレジスト再生処理などを行う際、低誘電率膜に対する損傷を抑制できることが不可欠である。

【0005】

第2には、配線と接続孔との間で合わせ余裕を持たないボーダレス構造への適用が可能のことである。

半導体装置の微細化に伴い、0.18μm世代以降の多層配線では、ボーダレス構造に対応出来る加工プロセスを採用することが大前提となっている。従って、低誘電率膜を含む層間絶縁膜にデュアルダマシン法による配線溝と接続孔の同時形成を行う場合でも、合わせずれによるヴィア抵抗の変動が少ないプロセスであることが重要である。

【0006】

第3には、配線溝を深さ制御性良く形成するには、配線溝の底部近くにエッチング阻止膜を介在させることが望ましいものの、比誘電率の比較的高いエッチング阻止膜を層間絶縁膜内に介在させると、層間容量が増加することになる。

従って、配線溝の形成を制御しつつ、しかも容量増加を抑えることが出来る低誘電率膜層間構造のデュアルダマシンプロセスが要求されている。

【0007】

上述したような技術的な制約を解決できるデュアルダマシン法として、例えば特開2000-150519号公報、或いは特開2001-44189号公報に開示の技術がある。

ここで、図7から図9を参照して、特開2001-44189号公報に開示されている低誘電率層間膜に対するデュアルダマシン法の適用例を説明する。図7 (a) と (b) 、図8 (c) から (e) 、及び図9 (f) と (g) は、それぞれ、従来の方法によりデュアルダマシン構造を形成する際の各工程の断面図である。

先ず、図7 (a) に示すように、図示しない基板に堆積された下地絶縁膜1上有機膜2と酸化シリコン(SiO₂)膜3からなる積層膜を層間絶縁膜として成膜し、次いで層間絶縁膜に銅(Cu)膜の埋め込み配線4を形成する。

Cu埋め込み配線4上に、順次、Cu膜の酸化防止層として炭化シリコン膜(SiC)5を、メチルシルセスキオキサン(MSQ)膜として炭素含有酸化シリコン(SiOC)膜6を、有機膜としてポリアリールエーテル(PAE)膜7を成膜する。

続いて、第一のマスク形成層として酸化シリコン(SiO₂)膜8を、第二のマスク形成層として窒化シリコン(SiN)膜9を順次成膜し、更に配線溝パターンを有するレジストマスク10をSiN膜9上に形成する。

【0008】

次いで、図7 (b) に示すように、レジストマスク10を用いたドライエッチング法によりSiN膜9をエッチングし、配線溝パターンを有するSiN膜からなる第二のマスク11を形成し、続いてレジストマスク10を除去する。

次に、接続孔パターンのレジストパターンの少なくとも一部が、配線溝パターンを有するSiN膜からなる第二のマスク11に重なるように、接続孔パターンを有するレジストマスク12を第二のマスク11及びSiO₂膜8上に形成する。

【0009】

図8 (c) に示すように、接続孔パターンを有するレジストマスク12を用いてドライエッチング法により、SiN膜からなる第二のマスク11と第一のマスク形成層のSiO₂膜8をエッチングして開口し、続いてPAE膜7をエッチングしてSiOC膜6を露出する接続孔13を開口する。ここで、レジストマスク12は、PAE膜7のエッチング処理で同時に除去することが出来る

また、P A E膜7の開口中にレジストマスク12は薄くなって行くが、S i O₂膜8からなる第一のマスク8Aが存在するので、第一のマスク8Aをマスクにして良好な開口形状の接続孔13を開口することが出来る。

【0010】

次に、図8 (d) に示すように、更にS i O C膜6をエッティングして接続孔13をS i C膜5まで掘り下げて接続孔14を開口する。接続孔14の開口と共に、配線溝形成領域に残存し、第一のマスク8Aを形成するS i O₂膜8は、配線溝パターンを有するS i N膜からなる第二のマスク11をマスクとするエッティングにより、同時に除去され、開口部15となる。

図8 (e) に示すように、開口部15の底部に残存するP A E膜7をエッティングして配線溝16とし、接続孔14の底部にあるS i C膜5をエッティングして接続孔14をC u埋め込み配線4に連通させることにより、所定のデュアルダマシン加工、つまり配線溝16と接続孔14の形成が完了する。

尚、配線溝形成領域外に残存するS i N膜からなる第二のマスク11は、接続孔14底部のS i C膜5をエッティングする過程で除去される。

【0011】

続いて、薬液を用いた後処理、及びR Fスパッタリング処理により、配線溝16や接続孔14の側壁に残留するエッティング付着物を除去し、接続孔14底部のC u変質層を正常化した後、図9 (f) に示すように、バリアメタルとしてT a膜17をスパッタリング法により成膜し、電解めっき法あるいはスパッタリング法によりC u膜18を堆積して、配線溝16と接続孔14に導電膜の埋め込みを行う。

【0012】

次いで、図9 (g) に示すように、堆積したT a膜17及びC u膜18のうち、配線パターンとして不要な部分を化学機械研磨 (C M P) 法により除去する。これにより、デュアルダマシン構造の多層配線構造を得ることができる。

更に、下層のC u埋め込み配線4と同様、酸化防止層として例えばS i C膜19をデュアルダマシン配線18上に成膜する。

【0013】

低誘電率層間膜構造に対して上述した2層エッティングマスクを用いたデュアルダマシン法の適用は、前述した技術的な制約事項を克服した製造方法となる。

すなわち、製品規格に適合しないレジストマスク10、12の再生処理は、第一のマスク形成層9又は第二のマスク形成層8上で行うことができ、接続孔開口のためのレジストマスク12の除去は、PAE膜7のエッティングして接続孔13を開口させる工程で同時に行うことが可能であるから、低誘電率膜の損傷を抑制しつつレジスト剥離を行うことができる。

また、配線溝パターンを有するSiN膜からなる第二のマスク11上から接続孔13（接続孔14）を開口するので、配線溝16と接続孔14との合わせずれが発生した場合でも、接続孔14の寸法が変動することができる。

更には、SiOC膜6上に成膜されるPAE膜7に配線溝16を形成する際、無機系MSQ膜（SiOC膜6）と有機ポリマー膜（PAE膜7）の組み合わせであるから、エッティング選択比を確保することが容易である。従って比誘電率の高いSiN膜等のエッティング阻止膜を介在させなくとも、配線溝16の深さ制御が容易である。

【0014】

【発明が解決しようとする課題】

しかし、上述の従来のデュアルダマシン法を更に微細な0.1μm世代以降の多層配線に適用する場合、次に示すような問題点がある。

第1には、第二のマスク形成層、即ちSiN膜9の膜厚が厚くなることである。第二のマスク11は、接続孔層間膜のSiOC膜（MSQ膜）6をエッティングして接続孔14を開口し、かつ配線溝形成領域に開口部15を開口するために用いられるので、ある程度の厚さが必要である。例えば、第二のマスク11にSiN膜9を用いて、接続孔層間膜である膜厚400nmのSiOC膜6を開口する場合、配線溝上方の広がりや肩落ちを抑制するためには、膜厚100～150nmのSiN膜9がエッティング選択比上から必要となる。

【0015】

第2には、レジストマスク12を段差上に形成するが多くなるので、微細

なパターンを高精度で形成することが難しいことである。

第二のマスク形成層であるSiN膜9を加工して配線溝パターンを有する第二のマスク11を形成する工程では、図7（b）に示すように、第一のマスク形成層であるSiO₂膜8に対するエッティング選択比（SiN/SiO₂）が2～3程度しか確保出来ないので、SiN膜9のオーバーエッティング時に下地SiO₂膜8の掘れ量が30nm前後発生することが多い。このため、接続孔パターンを有するレジストマスク12を130～180nmの段差上に形成することが強いられる。

ところが、200nm弱の局所段差越しに0.10μm世代以降の微細なレジストパターンを形成するのは、平坦部に形成する場合に比べて、レジスト膜のすそ引き発生や線幅制御の観点より、非常に難度の高い工程となる。

【0016】

第3には、リソグラフィー工程で一般的に用いられる塗布系の反射防止膜（BARC）を併用する場合、第二のマスク11のパターン寸法や疎密具合により、BARCの埋め込み形状が変化するため、焦点深度ばらつき増大による露光処理時のレジスト形状悪化や、BARC膜エッティングによる接続孔開口時の第二のマスク11の形状悪化を招き易いことである。

【0017】

第4には、上述した従来のデュアルダマシン法では、レジストマスク12による接続孔13のパターニングの前に、レジストマスク10による配線溝パターンのパターニングを実施しているために、配線溝16と接続孔14のマスクアライメントが間接合わせとなり、先に接続孔パターンを形成する通常のプロセスに比べて、結果として上層配線と接続孔の合わせずれ量が増大してしまうという欠点がある。

【0018】

これらの問題を解決する手段として、例えば特開2000-150519号公報に開示されているように、第二のマスクを金属膜で形成して、接続孔層間膜のMSQ膜に対するエッティング選択比を上げることにより、第二のマスクの薄膜化を行い、レジストパターニング段差を低減する方法が考えられる。

ところが、金属膜はマスクアライメントに用いる波長領域（200～1000 nm）の光を殆ど透過することが出来ないため、全面成膜してしまうと、その後の露光工程で、通常の波長域の光を用いたアライメントや画像処理を用いたアライメントを行うことが出来なくなるという問題がある。

【0019】

そこで、本発明の目的は、P A E 膜、及びM S Q 膜等を用いた低誘電率層間絶縁膜内にデュアルダマシン構造を形成する際、レジストパターニング工程に対する負荷を低減し、良好なデュアルダマシン加工形状を得ることにより、高性能且つ高歩留まりで、高信頼性の多層配線構造を有する半導体装置の製造方法を提供することである。

【0020】

【課題を解決するための手段】

上記目的を達成するために、本発明に係る半導体装置の製造方法は、有機絶縁膜を含む層間絶縁膜を備えた半導体装置の製造方法において、

相互に異なる2種類以上の膜種からなる3層以上のエッチングマスク形成層を層間絶縁膜上に順次成膜する工程と、

最上層のエッチングマスク形成層をパターニングして最上層マスクを形成し、次いで最上層マスクで最上層のエッチングマスク形成層の下の次段エッチングマスク形成層をエッチングして次段エッチングマスクを形成し、次いで次段エッチングマスクで次々段エッチングマスク形成層をエッチングして次々段エッチングマスクを形成し、順次、上のエッチングマスク形成層で形成したエッチングマスクで上のエッチングマスク形成層の下の段のエッチングマスク形成層をエッチングしてエッチングマスクを形成する工程と、

形成したエッチングマスクを使って層間絶縁膜をエッチングして、配線溝及び接続孔を形成する工程と

を備え、3層以上のエッチングマスク形成層のうちの1層のエッチングマスク形成層を配線溝パターンのマスク形成層として成膜し、残りの層のうちの1層のエッチングマスク形成層を接続孔パターンのマスク形成層として成膜することを特徴としている。

【0021】

上述の発明方法は、本発明の技術的核となる構成要件を示している。上記目的を達成するために、具体的には、本発明に係る半導体装置の製造方法（第1の発明方法と言う）は、有機絶縁膜を含む層間絶縁膜を備えた半導体装置の製造方法において、

- （イ）半導体基板上に、接続孔を貫通させる絶縁膜として第一の絶縁膜、及び配線層間の絶縁膜として第二の絶縁膜を順次成膜する工程と、
- （ロ）第二の絶縁膜上に、第1のマスク、第2のマスク、及び第3のマスクをそれぞれ形成する、第一マスク形成層、第二マスク形成層、及び第三マスク形成層を順次成膜する工程と、
- （ハ）第三マスク形成層をパターニングして配線溝パターンを有する第3のマスクを形成する工程と、
- （ニ）第3のマスクを含む第二マスク形成層上に接続孔パターンを有するレジストマスクを形成する工程と、
- （ホ）レジストマスクを使って第3のマスク、第二マスク形成層、及び第一マスク形成層をエッチングし、更に第二の絶縁膜をエッチングして、接続孔を開口する工程と、
- （ヘ）第3のマスクを用いて第二マスク形成層をエッチングして、配線溝パターンを有する第2のマスクを形成すると共に、第一の絶縁膜の途中まで接続孔を開口する工程と、
- （ト）第2のマスクを用いて第一マスク形成層をエッチングして、配線溝パターンを有する第1のマスクを形成すると共に、接続孔の底部に残存する第一の絶縁膜をエッチングして接続孔を開口する工程と、
- （チ）第1ないしは第2のマスクを用いて第二の絶縁膜をエッチングし、第二の絶縁膜に配線溝を形成する工程と、
- （リ）少なくとも第2及び第3のマスクを除去する工程と
を有することを特徴としている。

【0022】

第1の発明方法では、工程（ニ）で接続孔パターンを有するレジストマスクを

形成する際の下地層の段差が、第三マスク形成層の膜厚に依存して小さく抑えられるので、高精度の接続孔パターンを有するレジストマスクを形成することができる。これにより、配線溝の形状悪化無く、微細寸法の接続孔を安定して開口することができるので、良好なヴィアコンタクト特性を得ることが出来る。

本発明方法を適用したデュアルダマシンプロセスにより、高精度で形成された多層配線を有する半導体装置を高い歩留まりで製造することができる。

【0023】

本発明に係る半導体装置の別の製造方法（第2の発明方法と言う）は、有機絶縁膜を含む層間絶縁膜を備えた半導体装置の製造方法において、

（イ）半導体基板上に、接続孔を貫通させる絶縁膜として第一の絶縁膜、及び配線層間の絶縁膜として第二の絶縁膜を順次成膜する工程と、

（ロ）第二の絶縁膜上に、第1のマスク、第2のマスク、及び第3のマスクをそれぞれ形成する、第一マスク形成層、第二マスク形成層、及び第三マスク形成層を順次成膜する工程と、

（ハ）第三マスク形成層上に接続孔パターンを有する第1のレジストマスクを形成する工程と、

（ニ）第1のレジストマスクを用いて、第三マスク形成層、第二マスク形成層、及び第三マスク形成層の途中まで接続孔を開口する工程と、

（ホ）第三マスク形成層上に配線溝パターンを有する第2のレジストマスクを形成し、第2のレジストマスクを用いて第三マスク形成層をエッチングして第3のマスクを形成する工程と、

（ヘ）第3のマスクを用いて第二マスク形成層及び第二の絶縁膜をエッチングして接続孔を開口する工程と、

（ト）第3のマスクを用いて第二マスク形成層をエッチングして、配線溝パターンを有する第2のマスクを形成すると共に、第一の絶縁膜を途中までエッチングして接続孔を形成する工程と、

（チ）第2のマスクを用いて第一マスク形成層をエッチングして、配線溝パターンを有する第1のマスクを形成すると共に、第一の絶縁膜をエッチングして接続孔を開口する工程と、

(リ) 第1ないしは第2のマスクを用いて第二の絶縁膜をエッチングして、配線溝を形成する工程と、

(ヌ) 少なくとも第2、及び第3のマスクを除去する工程と
を有することを特徴としている。

【0024】

第2の発明方法では、工程(ハ)で接続孔パターンを有するレジストマスクを形成する際の下地層はほぼ平坦であるから、高精度の接続孔パターンを有するレジストマスクを形成することができる。これにより、配線溝の形状悪化無く、微細寸法の接続孔を安定して開口することができるので、良好なヴィアコンタクト特性を得ることが出来る。

また、接続孔のパターニングを行った後に配線溝のパターニングを行うので、上層配線と接続孔のマスクアライメントが間接合わせとならない。よって、アライメント誤差の小さい多層配線を形成することができる。

本発明方法を適用したデュアルダマシンプロセスにより、高精度で形成された多層配線を有する半導体装置を高い歩留まりで製造することができる。

【0025】

第1及び第2の発明方法では、好適には、工程(イ)では、第一の絶縁膜としてメチルシルセスキオキサン膜を、第二の絶縁膜として有機膜を成膜する。これにより、配線間静電容量を低減することができる。

【0026】

工程(ロ)では、第一、第二、及び第三マスク形成層を光透過性を有する材料で成膜する。

また、工程(ロ)では、上層のマスク形成層に形成したマスクを用いて反応性イオンエッチング法により下層のマスク形成層を加工出来る材料で、第一、第二、及び第三マスク形成層を成膜する。これにより、容易に第1から第3のマスクを形成することができる。

第1の発明方法の工程(ロ)では、第一マスク形成層としてシリコン酸化膜、第二マスク形成層としてシリコン窒化膜、及び第三マスク形成層としてシリコン酸化膜を成膜し、第2の発明方法の工程(ロ)では、第一マスク形成層としてシ

リコン酸化膜、第二マスク形成層としてシリコン窒化膜、及び第三マスク形成層として非晶質シリコン膜を成膜する。

【0027】

【発明の実施の形態】

以下に、添付図面を参照して、実施形態例に基づいて本発明をより詳細に説明する。尚、以下の実施形態例で示した膜種、膜厚、成膜方法、その他寸法等は、本発明の理解を容易にするための例示であって、本発明はこれら例示に限定されるものではない。

実施形態例1

本実施形態例は、第1の発明方法に係る半導体装置の製造方法の実施形態の一例である。図1 (a) から (c) 、図2 (d) から (f) 、及び図3 (g) と (h) は、それぞれ、本実施形態例の方法により半導体基板上にデュアルダマシン構造を形成する際の各工程の断面図である。図1から図3に示す部位のうち図7から図9に示す部位と同じものには、理解を容易にするために同じ符号を付している。これは、以下の図4から図6でも同じである。

【0028】

先ず、図1 (a) に示すように、図示しない基板に堆積された下地絶縁膜1上に、有機膜2と酸化シリコン (SiO_2) 膜3からなる積層膜を層間絶縁膜として成膜し、次いで250 nmの配線厚となるように、銅 (Cu) 膜の埋め込み配線4を形成する。

続いて、Cu配線4上に酸化防止層として膜厚50 nmの炭化シリコン (SiC) 膜5を成膜し、更に接続孔を貫通させる層間絶縁膜として、400 nm厚の炭素含有酸化シリコン ($SiOC$) 膜6を成膜する。

【0029】

SiC膜5及びSiOC膜6を成膜する際には、一例として、平行平板型プラズマCVD装置を用い、その際シリコン源として使用するガスは、どちらの膜の成膜の際にもメチルシランである。

また、成膜条件として、基板温度を300～400°C、プラズマパワーを150～350 W、成膜雰囲気の圧力を100～1000 Pa程度に設定する。

以上の成膜条件により、比誘電率が、それぞれ、5.0、及び3.0程度のSiC膜5及びSiOC膜6を成膜することが出来る。

【0030】

次に、SiOC膜6上に、比誘電率2.6程度の有機ポリマー膜を成膜する。本実施形態例では、有機ポリマー膜としてポリアリールエーテル(PAE)膜7を200nm成膜する。有機ポリマー膜は、前駆体をスピンドルコート法により堆積した後、400°C～450°Cのキュア処理を行って成膜することが出来る。

PAE膜の他には、BCB膜、ポリイミド膜、アモルファスカーボン膜などを用いることもできる。

続いて、PAE膜7上に、順次、第一マスク形成層として膜厚150nmのSiO₂膜8、第二マスク形成層として膜厚100nmの塗化シリコン(SiN)膜9を、更に、第三マスク形成層として膜厚50nmのSiO₂膜20を成膜する。

次いで、配線溝パターンをレジストパターンとして有するレジストマスク10をSiO₂膜20上に形成する。

【0031】

第一マスク形成層としてのSiO₂膜8及び第三マスク形成層としてのSiO₂膜20は、例えばシリコン源としてモノシラン(SiH₄)を用い、酸化剤として一酸化二塗素(N₂O)ガスを用いたプラズマCVD法により成膜することが出来る。

また、SiO₂膜8を形成する際に、下層のPAE膜7の酸化が問題となる場合には、化学量論よりシリコンが多い酸化シリコン膜を形成することが好ましい。

また、第二マスク形成層であるSiN膜9は、SiO₂膜8、20の成膜と同様のプラズマCVD装置により、例えばシリコン源としてモノシラン(SiH₄)を、塗化剤としてアンモニア(NH₃)ガスを、酸化剤として一酸化二塗素(N₂O)ガスを用い、不活性ガスをキャリアガスにして成膜することが出来る。

【0032】

次に、図1(b)に示すように、レジストマスク10上からドライエッチング

法により、第三マスク形成層である SiO_2 膜20をエッティングして、配線溝パターン21を有する第3のマスクを形成する。

レジストマスク10を用いて SiO_2 膜20をエッティングする際には、一般的なマグネットロン方式のエッティング装置を用い、例えばエッティングガスとしてオクタフルオロブタン (C_4F_8)、一酸化炭素 (CO)、及びアルゴン (Ar) を用い、ガス流量比 ($\text{C}_4\text{F}_8 : \text{CO} : \text{Ar}$) を $1 : 5 : 20$ 、バイアスパワーを 1200W 、基板温度を 20°C に設定する。

このエッティング条件下では、 SiN 膜に対する10以上のエッティング選択比 ($\text{SiO}_2 / \text{SiN}$) を得ることが出来るので、下地の第二マスク形成層である SiN 膜9がエッティングされるようなことは殆ど生じない。

SiO_2 膜20をエッティングした後、例えば酸素 (O_2) プラズマをベースとしたアッシング処理と有機アミン系の薬液処理を施すことにより、レジストマスク10及びエッティング処理の際に生じた残留付着物を完全に除去する。

【0033】

次に、図1 (b) に示すように、接続孔パターンの少なくとも一部が、第3のマスクの配線溝パターン21を構成する SiO_2 膜20に重なるようにして、接続孔パターンを有するレジストマスク12を残存する SiO_2 膜20及び SiN 膜9上に形成する。

レジストマスク12の形成に際し、配線溝パターン21を構成する SiO_2 膜20により生じた段差は、概ね SiO_2 膜20の膜厚である 50nm 程度に抑えられるので、平坦部にレジストマスクを形成する場合とほぼ同等のリソグラフィー特性にて、良好な接続孔のレジストパターン形状を得ることができる。

また、塗布系の反射防止膜 (BARC) を併用する場合でも、配線溝パターン21の寸法や疎密具合により、BARCの埋め込み形状の変動が微少に抑えられ、露光処理時のレジスト形状悪化や、寸法変動の原因となる焦点深度ばらつきを低減することができる。

【0034】

続いて、接続孔パターンを有するレジストマスク12を用いて、ドライエッティング法により、接続孔形成領域に存在する SiO_2 膜20、第二マスク形成層で

あるSiN膜9、及び第一マスク形成層であるSiO₂膜8をエッチングし、続いて残存するSiN膜9を第2のマスクとしてPAE膜7をエッチングして、図1(c)に示すように、SiOC膜6を露出させる接続孔13を開口する。

尚、レジストマスク12は、PAE膜7をエッチング加工する際に、同時に除去することが出来る。

残存するSiO₂膜20は、配線溝パターンのマスクを形成し、また、エッチングされたSiN膜9は、接続孔パターンを有する第2のマスクを構成する。

【0035】

第三マスク形成層のSiO₂膜20から第一マスク形成層のSiO₂膜8までエッチングして接続孔13を開口する際には、一般的なマグネットロン方式のエッチング装置を用い、例えばエッチングガスとしてオクタフルオロブタン(C₄F₈)及びアルゴン(Ar)を用い、ガス流量比(C₄F₈:Ar)を1:4、バイアスパワーを400W、基板温度を20℃に設定する。

【0036】

本実施形態例では、このエッチング条件下でエッチング選択比(SiO₂/SiN)が1前後となり、1ステップで三層からなる第1から第3マスク形成層をエッチングして接続孔13を開口している。

しかし、これに限らず、レジスト選択比やエッチング変換差等が問題になる場合は、3ステップエッチングにより順次第一マスク形成層、第二マスク形成層、及び第三マスク形成層をエッチングして、下地マスク形成層又は下地絶縁膜に対し選択的に対象マスク形成層を順次エッチングしていくようにすることも可能である。

【0037】

また、PAE膜7の接続孔開口は、通常の高密度プラズマエッチング装置を用い、エッチングガスとして例えばアンモニア(NH₃)を用い、RFパワーを150W、基板温度を20℃に設定する。

このエッチング条件下で、レジストマスク12のエッチングレートはPAE膜7のそれとほぼ同等であるから、PAE膜7の開口中にレジストマスク12は減肉して行くが、第2のマスクであるSiN膜9がエッチングマスクとして機能し

て、良好な接続孔の開口形状を得ることが出来る。

因みに、P A E膜7のエッティング条件下で、SiN膜、SiO₂膜、SiOC膜に対するエッティング選択比は100以上になる。

【0038】

次に、図2 (d) に示すように、配線溝パターン21を有するSiO₂膜20からなる第3のマスクを用いて、ドライエッティング法により、SiN膜9をエッティングして配線溝パターン22を有する第2のマスクを形成する。

SiN膜9のエッティングでは、例えば一般的なマグネットロン方式のエッティング装置を使用して、例えばエッティングガスとしてのジフルオルメタ (C₂F₂) 、酸素 (O₂) 、及びアルゴン (Ar) を用い、ガス流量比 (C₂F₂ : O₂ : Ar) を2:1:5、及びバイアスパワーを100Wに設定する。

このエッティング条件下で、SiO₂膜に対するエッティング選択比 (SiN/SiO₂) が3程度になるので、第三マスク形成層であるSiO₂膜20の膜厚が50nm程度であれば、第二マスク形成層である膜厚100nmのSiN膜9をエッティングする際、SiO₂膜20の減肉に対して十分な余裕をもって配線溝パターン22を開口することが出来る。

【0039】

また、第3のマスクのSiO₂膜20を用いた、第二マスク形成層のSiN膜9のエッティング工程では、接続孔21の底部に露出するSiOC膜6が途中までエッティングされ、接続孔21が掘り下げられて、接続孔23が開口する。

このエッティング条件のSiOC膜に対するエッティング選択比 (SiN/SiN) は1弱にすることができるので、100nm厚のSiN膜9をエッティングする場合、必要なオーバーエッティング量を含めて接続孔23はSiOC膜6内に150~200nmの深さまで掘り下げられることになる。

【0040】

次に、第1のマスクであるSiO₂膜8をマスクにして、SiOC膜6の下部層をエッティングして、図2 (e) に示すように、SiC膜5を露出させる接続孔14を開口する。

この際、配線溝パターン11が形成された第2のマスクのSiN膜9を用いて

、配線溝領域に残存する第1のマスクSiO₂膜8を同時に除去して開口部15を形成する。

【0041】

このエッチングは、例えば一般的なマグネットロン方式のエッチング装置を使用し、例えばエッチングガスとしてのオクタフルオロシクロヘキサン（C₅F₈）、一酸化炭素（CO）、アルゴン（Ar）、及び酸素（O₂）を用い、ガス流量比（C₅F₈ : CO : Ar : O₂）を1:10:5:1、バイアスパワーを1600W、及び基板温度を20℃に設定する。

このエッチング条件下で、SiN膜に対する10以上のエッチング選択比（SiOC/SiN）を得ることが出来るので、接続孔底部に残る膜厚200～250nmのSiOC膜6をエッチングする際、第2のマスクのSiN膜9の膜厚が100nmあれば、SiN膜9の減肉に対して十分に余裕を持って配線溝上方の広がりや肩落ちを抑制した良好な開口形状を得ることが出来る。

【0042】

続いて、図2(f)に示すように、配線溝底部に残存するPAE膜7をエッチングして、配線溝16を開口し、接続孔底部にあるSiC膜5をエッチングすることにより、接続孔14をCu埋め込み層4に連通した所定のデュアルダマシン加工が完了する。

配線溝16を開口するPAE膜7のエッチングは、通常の高密度プラズマエッチング装置を使用して、エッチングガスには例えばアンモニア（NH₃）を用い、RFパワーを150W、及び基板温度を20℃に設定する。

このエッチング条件下で、SiOC膜6に対するエッチング選択比は、100以上になるので、深さばらつき無く、制御性良く配線溝の開口を行うことが出来る。

【0043】

接続孔14の底部にあるSiC膜5のエッチングでは、例えば一般的なマグネットロン方式のエッチング装置にて、例えばエッチングガスとしてジフルオルメタン（CH₂F₂）、酸素（O₂）、及びアルゴン（Ar）を用い、ガス流量比（CH₂F₂ : O₂ : Ar）を2:1:5、バイアスパワーを100Wに設定する

但し、上記エッティング条件ではSiOC膜6に対する選択比は1前後であるため、配線溝16の底部のSiOC膜6の膜掘れが問題になるならば、PAE膜7への配線溝開口前に、SiC膜5のエッティングを行うことも出来る。

尚、SiO₂膜8上に残存するSiN膜9は、接続孔14底部のSiC膜5をエッティングする過程で除去される。

【0044】

薬液を用いた後処理、及びRFスパッタリング処理により、配線溝16や接続孔14の側壁に残留するエッティング付着物を除去し、接続孔14底部のCu変質層を正常のCu層に転化した後、図3(g)に示すように、例えばバリアメタルとしてTa膜17をスパッタリング法により成膜し、Cu膜18を電解めっき法あるいはスパッタリング法により堆積し、配線溝16と接続孔14への導電膜の埋め込みを同時に行う。

【0045】

更に、図3(h)に示すように、堆積したTa膜17、Cu膜18のうち、配線パターンとして不要な部分を化学機械研磨(CMP)法により除去することにより、デュアルダマシン構造の多層配線構造を形成することができる。

本実施形態例では、最終的な上層配線の膜厚は例えば250nm程度となるよう調整される。また、下層配線パターンと同様、酸化防止層として例えばSiC膜19をデュアルダマシン配線18上に成膜する。

【0046】

本工程を経て形成されたデュアルダマシン構造の多層配線は、接続孔パターンを有するレジストマスク12を形成する際、下地層の段差が残存SiO₂膜20の膜厚50nm程度に抑えられるので、高精度の接続孔パターンを有するレジストマスクを形成することができる。高精度の接続孔パターンを有するレジストマスクを使うことにより、微細寸法の接続孔開口を配線溝の形状悪化無く安定して形成することができる。

これにより、良好なヴィアコンタント特性を得ることが出来る。また、本実施形態例の方法を適用することにより、低誘電率層間絶縁膜内に良好な配線形状の

デュアルダマシン構造を有する半導体装置を高い歩留まりで製造することができる。

【0047】

実施形態例2

本実施形態例は第2の発明方法に係る半導体装置の製造方法の実施形態の一例であって、図4（a）と（b）、図5（c）から（e）、及び図6（f）から（h）は、それぞれ、本実施形態例の方法でデュアルダマシン構造を形成する際の各工程の断面図である。

実施形態例1と同様に、図4（a）に示すように、図示しない基板に堆積された下地絶縁膜1上に、有機膜2と酸化シリコン（SiO₂）膜3とからなる積層膜を層間絶縁膜にして、銅（Cu）膜の埋め込み配線4を形成する。

【0048】

更に、Cu配線4上に酸化防止層として膜厚50nmの炭化シリコン（SiC）膜5を成膜し、続いて、400nm厚の炭素含有酸化シリコン（SiOC）膜6、及び比誘電率2.6程度の有機ポリマーとして膜厚200nmのポリアリールエーテル（PAE）膜7を成膜する。

続いて、PAE膜7上に、順次、第一マスク形成層として膜厚150nmのSiO₂膜8、第二マスク形成層として例えば膜厚100nmの窒化シリコン（SiN）膜9を成膜する。

【0049】

次に、本実施形態例では、第三マスク形成層として、例えばアルゴンプラズマを用いたシリコンターゲットのスパッタリングにより50nm厚のアモルファスシリコン（a-Si）膜24を成膜する。つまり、本実施形態例では、実施形態例1のSiO₂膜20に代えて、第三マスク形成層としてa-Si膜24を成膜する。

更に、接続孔パターンを有するレジストマスク12をa-Si膜24上に形成する。

【0050】

図4（b）に示すように、接続孔パターンのレジストマスク12を用いて、ド

ライエッチング法により、第三マスク形成層の a-Si 膜 24、第二マスク形成層の SiN 膜 9、及び第一マスク形成層の SiO₂ 膜 8 の途中までエッチングして、接続孔パターン 25 を形成する。

次いで、例えば酸素 (O₂) プラズマをベースとしたアッシング処理と有機アミン系の薬液処理を行うことにより、レジストマスク 12 とエッチング処理で生じた残留付着物を完全に除去する。

【0051】

第三マスク形成層の a-Si 膜 24 のエッチングは、通常のプラズマエッチング装置を使用して、例えばエッチングガスとして、塩素 (Cl₂)、臭化水素酸 (HBr)、及び酸素 (O₂) を用い、ガス流量比 (Cl₂ : HBr : O₂) を 10 : 2 : 1、RFパワーを 20W、基板温度を 0°C に設定する。

【0052】

第二マスク形成層の SiN 膜 9 及び第一マスク形成層の SiO₂ 膜 8 のエッチングは、一般的なマグネットロン方式のエッチング装置を用い、例えばエッチングガスとしてオクタフルオロブタン (C₄F₈) 及びアルゴン (Ar) を用い、ガス流量比 (C₄F₈ : Ar) を 1 : 4、バイアスパワーを 400W、基板温度を 20°C に設定する。

このエッチング条件下のエッチング選択比 (SiO₂ / SiN) は 1 前後であるから、本実施形態例では、SiN 膜 9 及び SiO₂ 膜 8 を一括してエッチングしているが、レジスト選択比やエッチング変換差等が問題になる場合は 2 ステップエッチングにより順次第二マスク形成層の SiN 膜 9 を下地層の SiO₂ 膜 8 に対して選択的にエッチング除去し、次いでレジスト選択比の高いエッチング条件に切り換えて、第一マスク形成層の SiO₂ 膜 8 をエッチングすることもできる。

尚、第一マスク形成層の SiO₂ 膜 8 のエッチング量は、PAE 膜 7 が露出しないように、例えば PAE 膜 7 上に 50 ~ 100 nm の SiO₂ 膜が残存するように設定する。

【0053】

次に、図 5 (c) に示すように、接続孔パターン 25 を有する第 3 のマスクを

構成する a-Si 膜 24 に、少なくとも配線溝パターンの一部が重なるように、配線溝パターンを有するレジストマスク 11 を形成する。

【0054】

レジストマスク 11 の形成に際し、レジストマスク 12 の下地層には、 a-Si 膜 24 、 SiN 膜 9 、及び SiO₂ 膜 8 の上部層からなる 200 nm 前後の段差が発生しているため、配線溝のパターンやマスクの合わせずれにより、図 5 (c) に示すように、レジストマスク 11 が接続孔段差の底部付近ですそ引き形状となる場合がある。

しかし、配線溝パターンのレジストマスク 11 は、第 3 のマスクである a-Si 膜 24 のみをエッチング出来れば良いのであるから、仮にレジストマスク 11 にすそ引きがあっても、 a-Si 膜 24 のエッチングには支障が生じない。よって、本実施形態例で、レジストマスク 11 のすそ引き形状は全く問題にはならない。

また、本実施形態例では、処理済みの配線溝のパターンが製品規格を満たさない場合でも、 PAE 膜 7 が露出していないので、レジスト再生処理を低誘電率膜への損傷無く行うことが可能である。

【0055】

次に、配線溝パターンのレジストマスク 11 を用いて、ドライエッチング法により、配線溝開口部に残存する第 3 のマスクの a-Si 膜 24 をエッチングして、図 5 (d) に示すように、配線溝パターン 21 を形成する。

このエッチングは、通常のプラズマエッチング装置を使用して、例えばエッチングガスとして、塩素 (Cl₂) 、臭化水素酸 (HBr) 、及び酸素 (O₂) を用い、ガス流量比 (Cl₂ : HBr : O₂) を 10 : 2 : 1 、 RF パワーを 20 W 、基板温度を 0 °C に設定する。

【0056】

このエッチング条件下で、 SiN 膜に対するエッチング選択比 (Si / SiN) として 20 以上を得ることが出来るので、下地の第 2 のマスクとなる SiN 膜 9 がエッチングされるようなことは殆どない。

また、 SiO₂ 膜に対するエッチング選択比 (Si / SiO₂) も 20 以上の

選択比が得られるので、接続孔底部に残存する第一マスク形成層の SiO_2 膜 8 が局所的にエッティングされるようなことは生じない。

そして、続いて、酸素 (O_2) プラズマをベースとしたアッシング処理と有機アミン系の薬液処理を行うことにより、レジストマスク 11 とエッティング処理の際に生じた残留付着物は、P A E 膜 7 に損傷を与えること無く完全に除去することが出来る。

【0057】

次いで、接続孔パターン 25 (図 4 (b) 参照) が形成されている第 2 のマスクの SiN 膜 9 を用いて、図 6 (e) に示すように、ドライエッティング法により接続孔底部に残存する SiO_2 膜 8 及び P A E 膜 7 をエッティングして接続孔 23 を形成する。

【0058】

SiO_2 膜 8 のエッティングは、一般的なマグネットロン方式のエッティング装置を用い、例えばエッティングガスとしてオクタフルオロブタン (C_4F_8) 、一酸化炭素 (CO) 、及びアルゴン (Ar) を用い、ガス流量比 ($\text{C}_4\text{F}_8 : \text{CO : Ar}$) を 1 : 5 : 20、バイアスパワーを 1200W、基板温度を 20°C に設定する。

このエッティング条件下では、 SiN 膜に対する 10 以上のエッティング選択比 ($\text{SiO}_2 / \text{SiN}$) を得ることが出来るので、第 2 のマスクとなる SiN 膜 9 は殆どエッティングされることはない。

【0059】

また、P A E 膜 7 をエッティングしえ接続孔 23 を開口する際には、通常の高密度プラズマエッティング装置を使用し、エッティングガスには例えばアンモニア (NH_3) を用い、RFパワーを 150W、及び基板温度を 20°C に設定する。

このエッティング条件下で、 SiN 膜、 SiO_2 膜、及び SiOC 膜に対するエッティング選択比は、100 以上になる。

【0060】

更に、配線溝パターン 22 が形成された第 3 のマスクの a-Si 膜 24 を用いて、図 6 (f) に示すように、ドライエッティング法により、第 2 のマスクとなる

SiN膜9の配線溝パターン22を形成する。

このエッティングは、例えば一般的なマグネットロン方式のエッティング装置にて、例えばエッティングガスとしてジフルオルメタン(CH_2F_2)、酸素(O_2)、及びアルゴン(Ar)を用い、ガス流量比($CH_2F_2 : O_2 : Ar$)を2:1:5、バイアスパワーを100Wに設定する。

このエッティング条件下では、a-Si膜に対する10程度のガス選択比(SiN/Si)を得ることが出来るので、第3のマスクのa-Si膜24が例えば30nm以上あれば、余裕を持って第二マスク形成層の100nm厚さのSiN膜9を開口することが出来る。

【0061】

また、第3のマスクのa-Si膜24を用いて第2のマスクのSiN膜9をエッティングする際、接続孔底部に露出するSiOC膜6を途中までエッティングして接続孔23を掘り下げる事ができる。

このエッティング条件下では、SiOC膜に対するエッティング選択比(SiN/SiOC)を1弱にする事ができるので、100nm厚のSiN膜9をエッティングする場合、必要なオーバーエッティング量を含めて接続孔23はSiOC膜6内に150~200nmの深さまで掘り下げられることになる。

【0062】

次に、図6(g)に示すように、接続孔23の底部に残ったSiOC膜6をエッティングして接続孔14を開口する。ここで、配線溝パターン11が形成されている第2のマスクのSiN膜9を用いて、同時に、配線溝領域に残存する第1のマスクのSiO₂膜8をエッティングして開口部15を形成する。

【0063】

このエッティングは、一般的なマグネットロン方式のエッティング装置を使用し、例えばエッティングガスとしてのオクタフルオロシクロヘンテン(C_5F_8)、一酸化炭素(CO)、アルゴン(Ar)、及び酸素(O_2)を用い、ガス流量比($C_5F_8 : CO : Ar : O_2$)を1:10:5:1、バイアスパワーを1600W、及び基板温度を20℃に設定する。

このエッティング条件下では、SiN膜に対する10以上のエッティング選択比(

SiOC/SiN)を得ることが出来るので、第2のマスクのSiN膜9の膜厚が100nmあれば、接続孔底部に残る膜厚200～250nmのSiOC膜6をエッチングする際、十分に余裕を持って配線溝上方の広がりや肩落ちを抑制した良好な開口形状を得ることが出来る。

【0064】

次いで、図6(h)に示すように、実施形態例1と同様にして、配線溝パターン15の底部に残存するPAE膜7をエッチングして配線溝16を形成し、接続孔14底部にあるSiC膜5をエッチングして、接続孔14をCu埋め込み層4に連通させて、所定のデュアルダマシン加工を完了する。

以下、図示しないが、実施形態例1と同様にして、デュアルダマシン構造の多層配線構造を得ることができる。

尚、配線溝領域外に残存した第2のマスクのSiN膜9は、接続孔底部のSiC膜5をエッチングする過程で除去される。

【0065】

上述した工程を経て形成されたデュアルダマシン構造の多層配線は、接続孔パターンを有するレジストマスク12を形成する際の下地層の段差が殆ど無いので、高精度の接続孔パターンを有するレジストマスク12を形成することができる。このレジストマスク21を使うことにより、配線溝の形状悪化無く安定して微細寸法の接続孔開口を形成することができるので、良好なヴィアコンタクト特性を得ることが出来る。

また、接続孔のパターニングを行った後、配線溝のパターニングを行い、上層配線と接続孔のマスクアライメントが間接合わせとならないので、アライメント誤差の小さい多層配線を形成することができる。

本実施形態例の各工程を含むデュアルダマシンプロセスにより、高精度でパターニングされた多層配線構造を有する半導体装置を高い歩留まりで製造することができる。

【0066】

実施形態例1及び2に記載の層間絶縁膜は、表記された膜種、膜厚、成膜方法に限定されることはない。Cu膜の酸化防止層として堆積したSiC膜5、19

は、CVD法により形成されるSiN膜としてもよく、SiC膜中に窒素(N₂)や水素(H)等の軽元素が含有した膜を用いても良い。

接続孔層間膜となるSiOC膜6と配線層間膜となるPAE膜7の積層構造は、例えばSiOC膜の代わりに、CVD法により成膜されたSiOF膜やSiO₂膜、スピンドルコート法により形成されるMSQ膜やHSQ膜でもよく、PAE膜の代わりに、ポリアリレンエーテル膜、アモルファスカーボン膜、ポリテトラフルオロエチレン膜の適用も可能である。さらに、キセロゲル膜、多孔質構造を有するMSQ膜や有機ポリマー等の適用や、これらの組み合わせでも良い。

【0067】

また、実施形態例1及び2では、PAE膜とMSQ膜の上に成膜された第一マスク形成層のSiO₂膜8、第2マスク形成層のSiN膜9、及び第3マスク形成層のSiO₂膜20又はa-Si膜24は、それぞれ、膜厚が150nm、100nm、及び50nmとなっているが、上層マスクを用いて下層マスクをエッチング出来る組み合わせの膜種、膜厚、製法であれば、実施形態例1及び2の例示に限る必要がないことは勿論である。

例えば、第二マスク形成層をSiN膜に代えて、CVD法で成膜したSiC膜としても良く、また、エッチング選択比が許す限り、各マスク形成層を薄膜化することもできる。

【0068】

また、第三マスク形成層に対してエッチング選択比が大きな第四のエッチングマスクを形成して更に薄膜化してゆくことにより、最上層マスク段差を低減していくことも可能である。その場合は、接続孔の開口をPAE層7まで行った後に、順次、上層マスクを用いたエッチングにより配線溝パターンを下層マスク形成層に転写していくべき。

【0069】

実施形態例1では、最上層の第三マスク形成層としてSiO₂膜20を成膜しているが、スパッタリング法により成膜したアモルファスシリコン膜(a-Si)にすることにより、更に薄膜化することもできる。

【0070】

実施形態例2では、最上層の第三マスク形成層をa-Si膜に代えてSiO₂膜とすることも可能であるが、第一マスク形成層と同一材料である場合には、図5(d)に示す接続孔底部のSiO₂膜の残し量に注意を払わないと、PAE膜7が露出する危険性がある。

【0071】

実施形態例1及び2では、SiO₂膜8は、図3(g)等に示すように、最終的に配線層間として約50nm残存させているが、バリアメタルとの密着性やCu-CMP工程における機械的強度、もしくはCu酸化防止層19を成膜する前に行われるCu酸化物の還元処理時の損傷が問題にならなければ、第一マスク形成層をSiO₂膜に代えて、SiOF膜、MSQ膜、HSQ膜等の無機系低誘電率膜とすることも可能である。

また、同様の制限が許す限り、第1のマスクをデュアルダマシンエッチング工程やCu-CMP工程にて除去することも可能である。

【0072】

【発明の効果】

本発明によれば、低誘電率層間絶縁膜内にデュアルダマシン構造の多層配線を有する半導体装置の製造に際し、低誘電率層間絶縁膜上に少なくとも2種類以上の材料を用いて、3層以上のエッティングマスクを構成することにより、接続孔形成のためのレジストマスクを形成する際の下地層の段差を低減することができる。

また、3層以上のエッティングマスク構造により、接続孔を層間膜途中まで開口後に最上層マスクを用いて下層マスクに配線溝パターンを形成するとともに、接続孔の開口をさらに下層配線近くまで進めることにより、その後のエッティングマスクを用いた接続孔開口に要するエッティング量を低減でき、さらなるエッティングマスク段差の低減、もしくは良好なデュアルダマシン加工形状を得ることが可能となる。

また、低誘電率膜上に少なくとも2種類以上の材料を用いて、3層以上のエッティングマスク構成とすることにより、接続孔の一部開口後に配線溝のレジストパターニングを行うことが可能となり、配線溝と接続孔のマスクアライメントにて

間接合わせを回避することが出来る。

本発明方法を適用することにより、デュアルダマシン構造の多層配線を有する高集積微細で高性能半導体装置を高歩留まりで製造することができる。

【図面の簡単な説明】

【図1】

図1 (a) から (c) は、それぞれ、実施形態例1の方法によりデュアルダマシン構造を形成する際の各工程の断面図である。

【図2】

図2 (d) から (f) は、それぞれ、図1 (c) に続いて、実施形態例1の方法によりデュアルダマシン構造を形成する際の各工程の断面図である。

【図3】

図3 (g) と (h) は、それぞれ、図2 (f) に続いて、実施形態例1の方法によりデュアルダマシン構造を形成する際の各工程の断面図である。

【図4】

図4 (a) と (b) は、それぞれ、実施形態例2の方法によりデュアルダマシン構造を形成する際の各工程の断面図である。

【図5】

図5 (c) から (e) は、それぞれ、図4 (b) に続いて、実施形態例2の方法によりデュアルダマシン構造を形成する際の各工程の断面図である。

【図6】

図6 (f) から (h) は、それぞれ、図5 (e) に続いて、実施形態例2の方法によりデュアルダマシン構造を形成する際の各工程の断面図である。

【図7】

図7 (a) と (b) は、それぞれ、従来の方法によりデュアルダマシン構造を形成する際の各工程の断面図である。

【図8】

図8 (c) から (e) は、それぞれ、図7 (b) に続いて、従来の方法によりデュアルダマシン構造を形成する際の各工程の断面図である。

【図9】

図9 (f) と (g) は、それぞれ、図8 (e) に続いて、従来の方法によりデュアルダマシン構造を形成する際の各工程の断面図である。

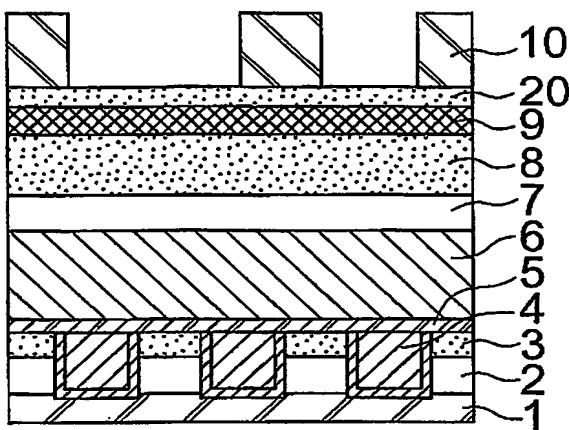
【符号の説明】

1 ……下地絶縁膜、 2 ……有機膜、 3 ……酸化シリコン (SiO₂) 膜、 4 ……Cu埋め込み配線、 5 ……炭化シリコン (SiC) 膜、 6 ……炭素含有酸化シリコン (SiOC) 膜、 7 ……ポリアリールエーテル (PAE) 膜、 8 ……SiO₂ 膜、 9 ……SiN膜、 10 ……レジストマスク、 11 ……第2のマスク、 12 ……レジストマスク、 13、 14 ……接続孔、 15 ……開口部、 16 ……配線溝、 17 ……Ta膜、 18 ……Cu膜、 19 ……SiC膜、 20 ……SiO₂ 膜、 21 ……配線溝パターン、 22 ……配線溝パターン、 23 ……接続孔、 24 ……a-Si膜、 25 ……接続孔パターン。

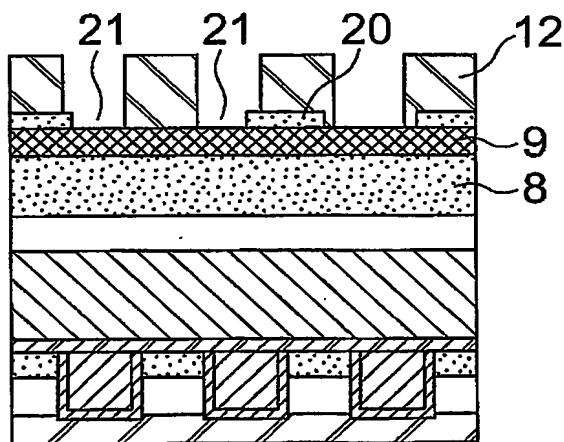
【書類名】 図面

【図1】

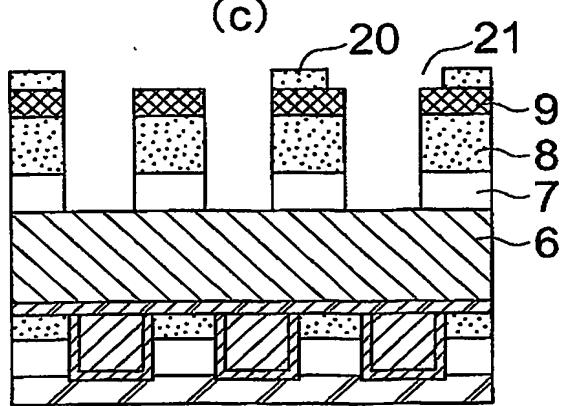
(a)



(b)

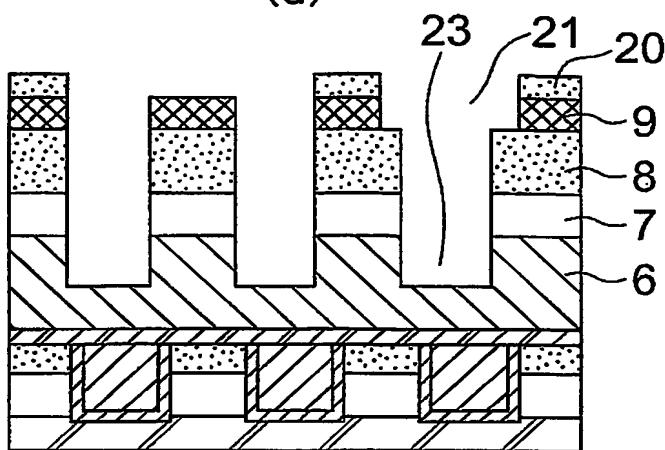


(c)

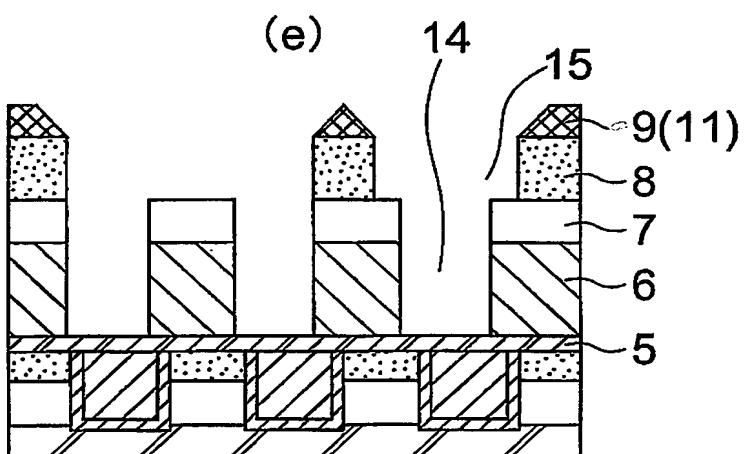


【図2】

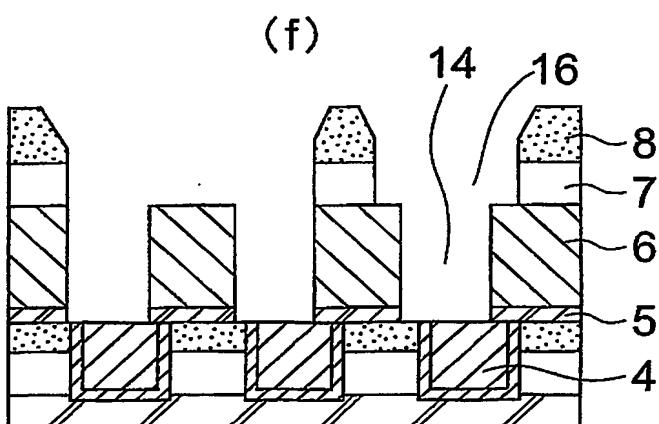
(d)



(e)

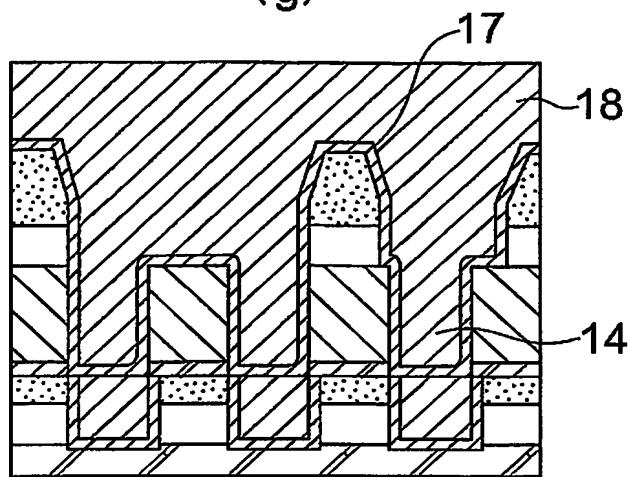


(f)

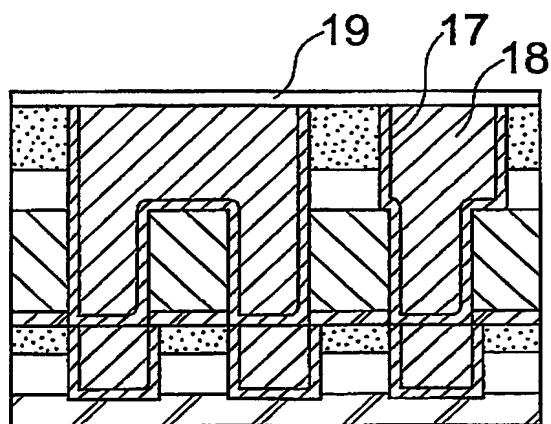


【図3】

(g)

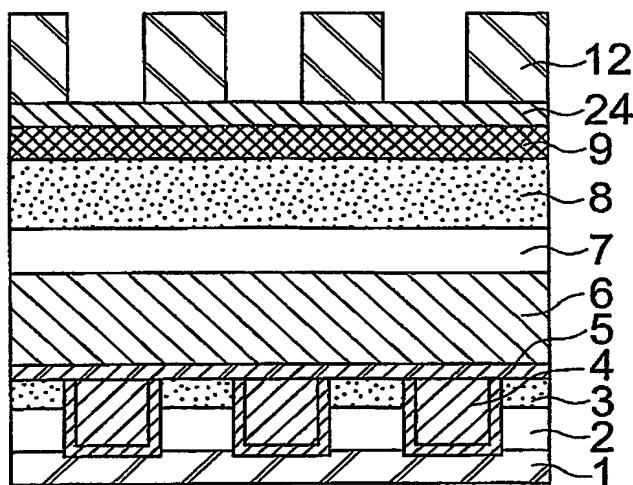


(h)

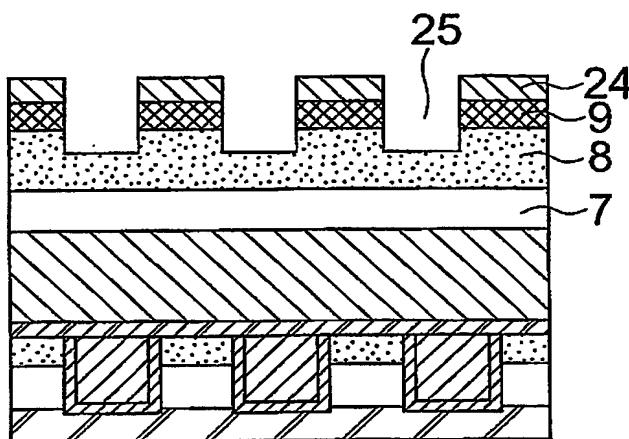


【図4】

(a)

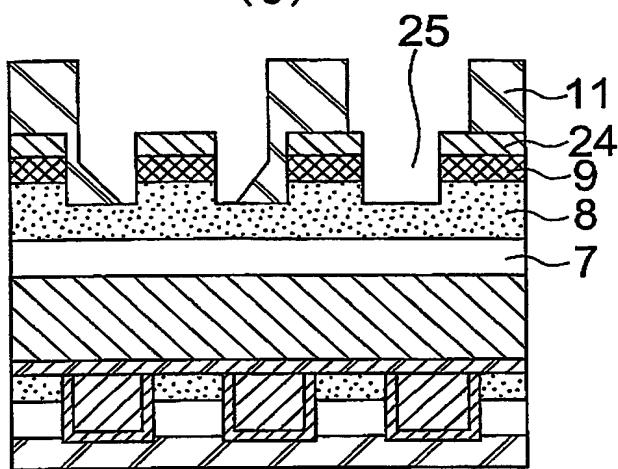


(b)

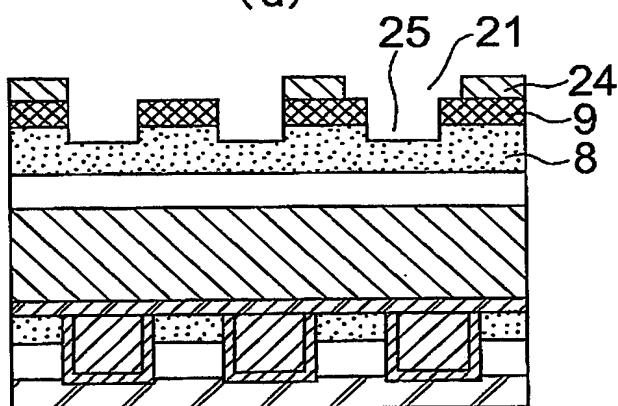


【図5】

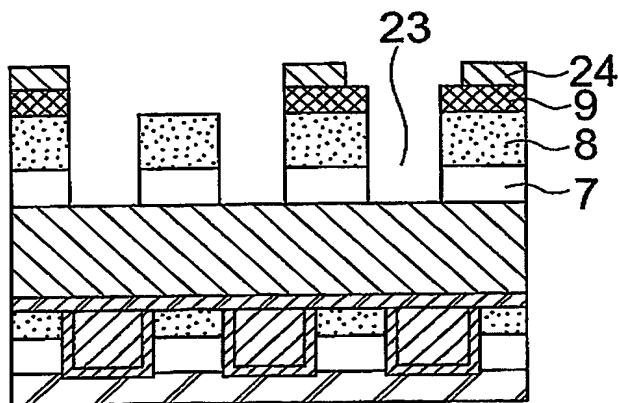
(c)



(d)

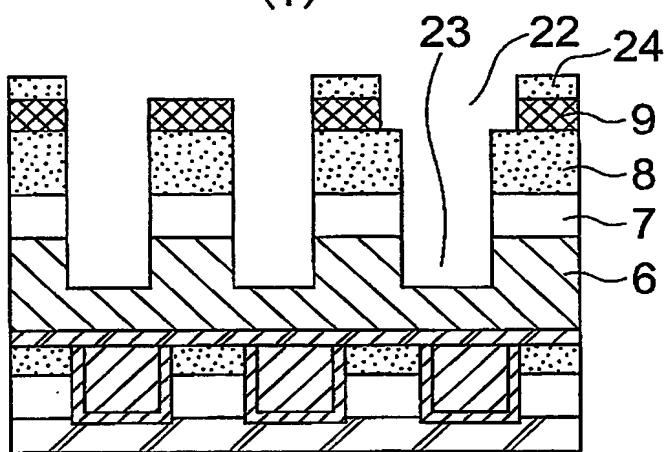


(e)

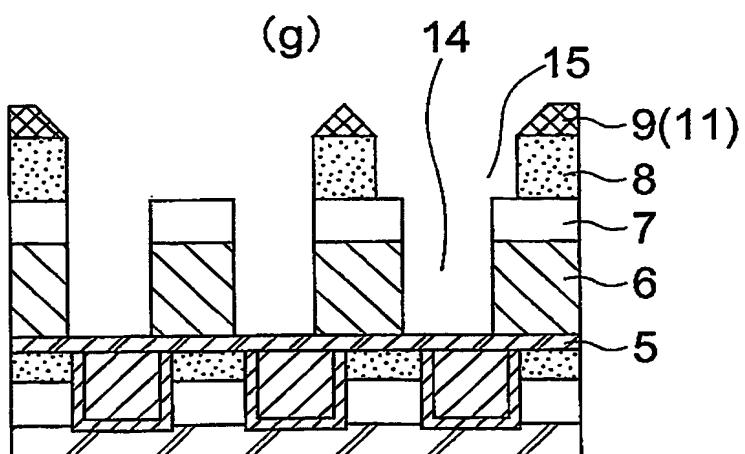


【図6】

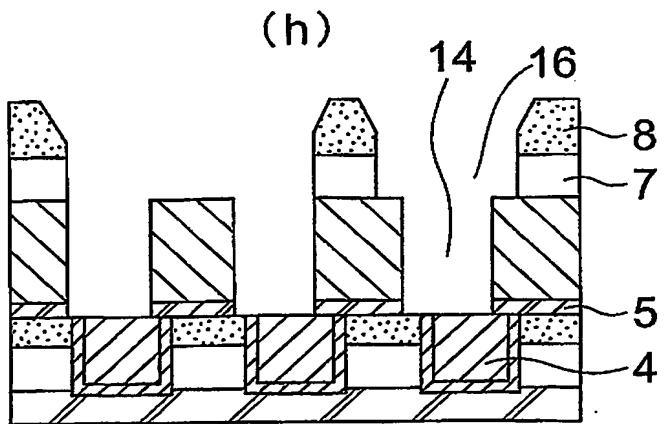
(f)



(g)

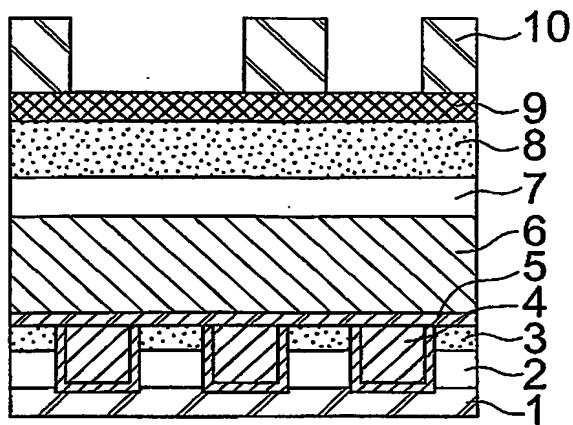


(h)

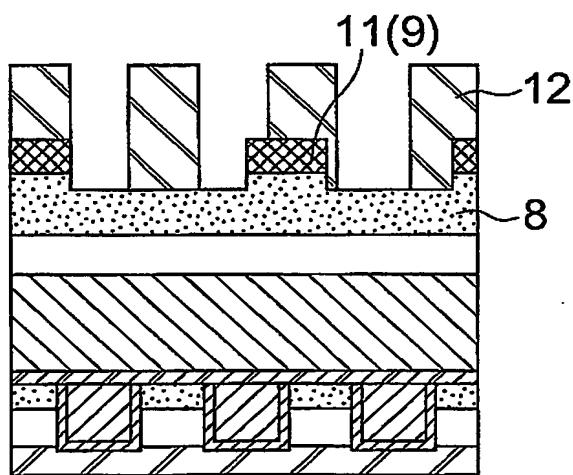


【図7】

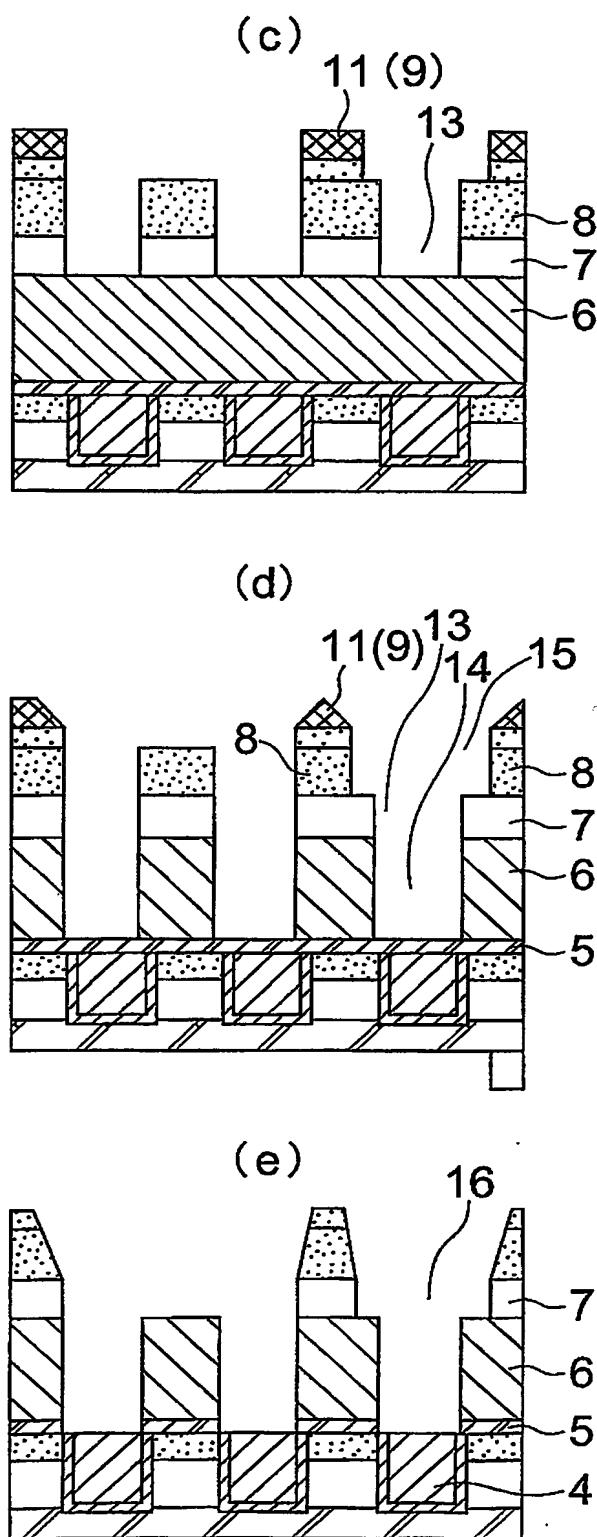
(a)



(b)

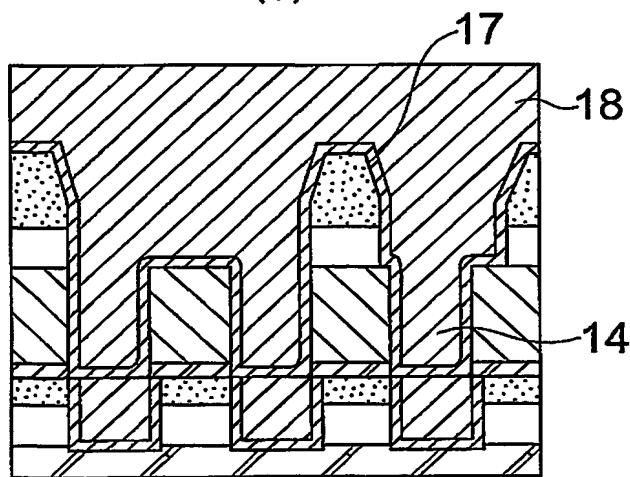


【図8】

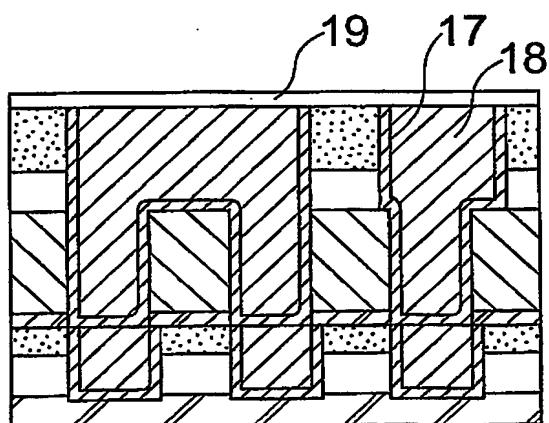


【図9】

(f)



(g)



【書類名】 要約書

【要約】

【課題】 低誘電率層間絶縁膜内にデュアルダマシン構造を形成する際、高信頼性の多層配線構造を有する半導体装置の製造方法を提供する。

【解決手段】 本方法では、第一の絶縁膜6及び第二の絶縁膜7を成膜し、次いで第一から第三マスク形成層8、9、20を成膜する。第三マスク形成層をパターニングして配線溝パターンの第3のマスクを形成する。第3のマスクを含む第二マスク形成層上に接続孔パターンのレジストマスクを形成し、第3のマスク、第二及び第一マスク形成層をエッチングし、更に第二の絶縁膜をエッチングして、接続孔を開口する。第3のマスクを用いて配線溝パターンの第2のマスクを形成すると共に、第一の絶縁膜の途中まで接続孔を開口する。第2のマスクを用いて第一マスク形成層をエッチングして、配線溝パターンの第1のマスクを形成すると共に、接続孔の底部に残存する第一の絶縁膜をエッチングして接続孔を開口する。第1ないしは第2のマスクを用いて第二の絶縁膜をエッチングし、第二の絶縁膜に配線溝を形成し、少なくとも第2及び第3のマスクを除去する。

【選択図】 図1

特願2002-221069

出願人履歴情報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都品川区北品川6丁目7番35号

氏 名

ソニー株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.